

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 06244180  
PUBLICATION DATE : 02-09-94

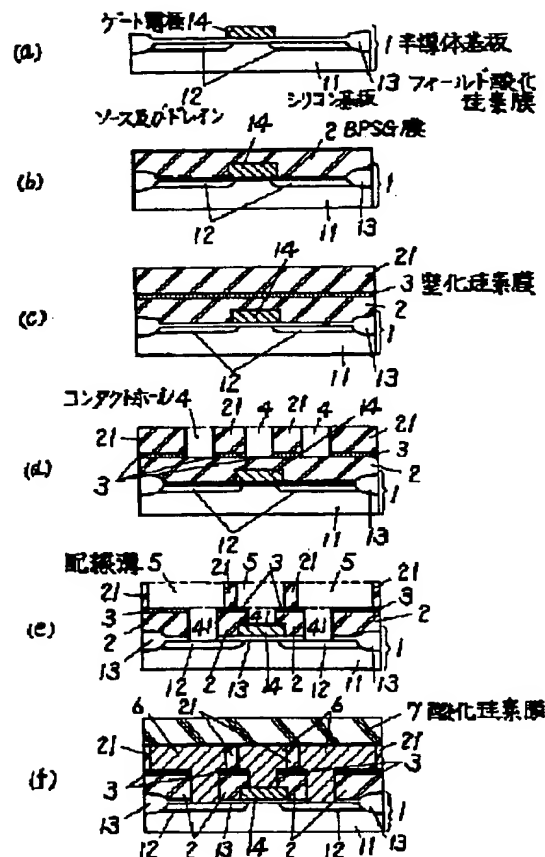
APPLICATION DATE : 19-02-93  
APPLICATION NUMBER : 05030125

APPLICANT : MATSUSHITA ELECTRIC IND CO LTD;

INVENTOR : NAKABAYASHI TAKASHI;

INT.CL. : H01L 21/3205 H01L 21/316 H01L  
21/318 H01L 21/90

TITLE : SEMICONDUCTOR DEVICE AND ITS  
MANUFACTURE



ABSTRACT : PURPOSE: To reduce the film thickness variation of finished wiring by using an etching stopping film when wiring grooves are formed.

CONSTITUTION: The title semiconductor manufacturing method includes a step of depositing a BPSG film 2 on a semiconductor substrate 1, a step of flattening the film 2, a step for depositing a silicon nitride film 3 and BPSG film 21 on the flattened film 2, and a step of forming contact holes 4 through the silicon nitride film 3 and BPSG film 21. In addition, the method also includes a step of simultaneously forming holes 41 for connection with the substrate 1 in the BPSG film 2 and wiring grooves 5 reaching the upper surface of the silicon nitride film 3 in the BPSG film 21 by etching the film 21 by using the silicon nitride film 3 as an etching stopping film and a step of filling the holes 4 and grooves 5 with tungsten 6. Since the etching stopping film is provided, over-etching can be performed at the time of forming the wiring grooves 5 and the film thickness variation of wiring can be reduced.

COPYRIGHT: (C)1994,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-244180

(43) 公開日 平成6年(1994)9月2日

(51) Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/3205

21/316

21/318

21/90

G 7352-4M

B 7352-4M

A 7514-4M

7514-4M

H 0 1 L 21/ 88

K

審査請求 未請求 請求項の数4 O L (全 5 頁)

(21) 出願番号 特願平5-30125

(22) 出願日 平成5年(1993)2月19日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 受田 高明

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 篠原 昭平

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 西村 宏

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 弁理士 小鍛冶 明 (外2名)

最終頁に続く

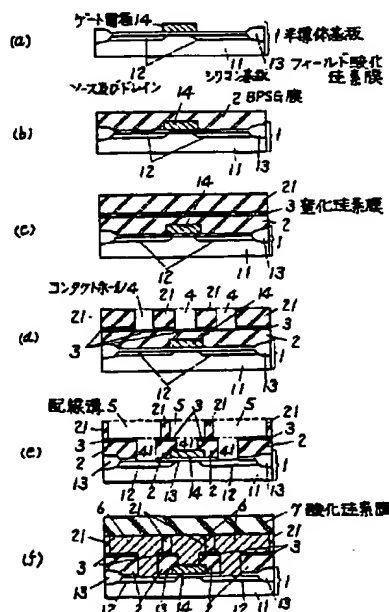
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 配線溝形成時にエッチング停止膜を用いることにより仕上がり後の配線膜厚のばらつきを小さくする。

【構成】 半導体基板1上にBPSG膜2を堆積する工程と、BPSG膜2を平坦化する工程と、前記平坦化後に窒化珪素膜3及びBPSG膜21を堆積する工程と、窒化珪素膜3及びBPSG膜21に孔を開く工程と、BPSG膜2に半導体基板1との接続孔41と、窒化珪素膜3をエッチングの停止膜としてBPSG膜21に窒化珪素膜3の上面まで達する配線溝5とをエッチングにより同時に形成する工程と、前記接続孔41及び配線溝5にタングステン6を埋め込む工程とを備えた半導体装置の製造方法である。

【効果】 エッチング停止膜があるため、配線溝形成時にオーバーエッチングを行うことができ、配線の膜厚ばらつきを小さくすることが出来る。



## 【特許請求の範囲】

【請求項1】 半導体基板上に第一の絶縁膜、第二の絶縁膜及び第三の絶縁膜の3層からなる絶縁膜を有し、前記第三の絶縁膜上に前記第二の絶縁膜の上面まで達する溝を有し、前記第一の絶縁膜及び第二の絶縁膜に前記半導体基板と前記溝との接続孔を有し、前記溝及び前記接続孔に配線材料が埋め込まれていることを特徴とする半導体装置。

【請求項2】 請求項1記載の第二の絶縁膜は窒化珪素膜であることを特徴とする半導体装置。

【請求項3】 半導体基板上に第一の絶縁膜を堆積する工程と、前記第一の絶縁膜を平坦化する工程と、前記平坦化後に第二、第三の絶縁膜を堆積する工程と、前記第二及び第三の絶縁膜に孔を開く工程と、前記第一の絶縁膜に前記半導体基板との接続孔と前記第二の絶縁膜をエッチングの停止膜として前記第三の絶縁膜に前記第二の絶縁膜の上面まで達する配線部となる溝とをエッチングにより同時に形成する工程と、前記接続孔及び溝に配線材料を埋め込む工程とを備えた半導体装置の製造方法。

【請求項4】 半導体基板上に第一の絶縁膜を堆積する工程と、前記第一の絶縁膜を平坦化する工程と、前記平坦化後に第二、第三の絶縁膜を堆積する工程と、前記第二の絶縁膜をエッチングの停止膜として前記第三の絶縁膜に前記第二の絶縁膜の上面まで達する配線部となる溝をエッチングにより形成する工程と、前記第一及び第二の絶縁膜に前記半導体基板との接続孔を開く工程と、前記接続孔及び溝に配線材料を埋め込む工程とを備えた半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、特に多層配線形成方法に関するものである。

【0002】

【従来の技術】 半導体装置の高密度化・微細化にともない多層配線技術が重要になってきた。

【0003】 図3に従来の技術による多層配線形成を施した半導体装置の断面を示す。周知の技術によりソース・ドレイン12、ゲート電極14からなるトランジスタを形成した半導体基板1上にボロンリンガラス膜絶縁膜2（以後BPSG膜と称する）を堆積し、リフロー法もしくはエッチバック法により表面を平坦化する。フォトリソグラフィ技術及びドライエッチング技術を用いてコンタクトホールを形成した後、CVD法によりタングステンを堆積し、全面エッチングにより前記コンタクトホール以外のタングステンを取り除き、前記コンタクトホールへのタングステン6の埋め込みを行う。次に全面にアルミニウム合金8を堆積しフォトリソグラフィ技術及びドライエッチング技術を用いて配線を形成する。第2層目以降の配線を形成する場合、層間絶縁膜として

ラズマCVD-酸化珪素膜等の酸化珪素膜7を堆積し、エッチバック法もしくはSOG法を用いて前記酸化珪素膜の表面を平坦化する。以下第一層目配線の形成法と同様に第二層目配線を形成することが可能である。

【0004】

【発明が解決しようとする課題】 上記方法で第二層目以降の配線を形成する場合、配線間の距離が長い箇所では段差緩和は不可能であり、素子の集積化が進み配線が多層化されると段差が激しくなり、配線の段差被覆性（ステップカバレージ）の低下による配線の断線、段差上での配線の細りによる信頼性の低下を引き起こす原因となっている。

【0005】 完全平坦化の方法として以下の各方法(1)～(4)がある。

(1) 絶縁膜堆積後、配線領域にあらかじめフォトリジストを埋め込んだ後、フォトリジストを全面コートしエッチバックする、(2) 配線形成時にダミーパターンも同時に形成する、(3) 化学的機械研磨を行う、(4) コンタクトと同時に配線も埋め込みにて形成する。

【0006】 しかし、それぞれ(1) 工程数の増加、(2) CADの複雑化、配線遅延の増加、(3) 研磨によるダスト、絶縁膜表面のダメージの問題がある。

【0007】 一方、平坦化方法(4)として図4に示す特開昭63-271958号がある。この発明による平坦化方法は、BPSG膜2に半導体基板との接続孔を形成した後BPSG膜上に配線となる溝（以後配線溝と称する）を形成し、アルミニウム合金もしくはタングステン6を接続孔及び溝に埋め込む方法である。

【0008】 上記平坦化方法(4)では、すでに表面が平坦なBPSG膜に配線を埋め込んでいるため配線形成後も表面は平坦であり、第2層目以降の配線を形成する際、平坦化が容易である。ところで配線溝を形成するにはエッチングレートから所望の溝の深さでエッチングを止めるための時間を算出し、時間指定のエッチングを行わなくてはならない。時間指定のエッチングでは、

(1) エッチング途中でエッチングレート変動、(2) レジスト開口率によるエッチングレートの違いにより配線溝の深さが変わり、埋め込み後の配線の膜厚ばらつきが発生し、配線抵抗がばらつく原因となる。配線がより微細化されれば半導体装置の設計において配線容量を無視できない問題となり、配線抵抗のばらつきは深刻な問題となる。しかしBPSG膜単層であるために配線溝の深さのばらつきを抑制することができない。

【0009】 そこで本発明は上記の問題点を解消し、接続孔形成、配線形成を同時に行い、仕上りの配線膜厚のばらつきを小さく平坦性に優れた半導体装置およびその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】 上記問題点を解決するた

めに本発明の半導体装置は、半導体基板上に第一の絶縁膜、第二の絶縁膜及び第三の絶縁膜の3層からなる絶縁膜を有し、前記第三の絶縁膜上に前記第二の絶縁膜の上面まで達する溝を有し、前記第一の絶縁膜及び第二の絶縁膜に前記半導体基板と前記溝との接続孔を有し、前記溝及び前記接続孔に配線材料が埋め込まれている構成とする。

【0011】また本発明の半導体装置の製造方法は、半導体基板上に第一の絶縁膜を堆積する工程と、前記第一の絶縁膜を平坦化する工程と、前記平坦化後に第二、第三の絶縁膜を堆積する工程と、前記第二及び第三の絶縁膜に孔を開く工程と、前記第一の絶縁膜に前記半導体基板との接続孔と前記第二の絶縁膜をエッチングの停止膜として前記第三の絶縁膜に前記第二の絶縁膜の上面まで達する配線部となる溝とをエッチングにより同時に形成する工程と、前記接続孔及び溝に配線材料を埋め込む工程とを備えたものである。

【0012】さらに本発明の半導体装置の製造方法は、半導体基板上に第一の絶縁膜を堆積する工程と、前記第一の絶縁膜を平坦化する工程と、前記平坦化後に第二、第三の絶縁膜を堆積する工程と、前記第二の絶縁膜をエッチングの停止膜として前記第三の絶縁膜に前記第二の絶縁膜の上面まで達する配線部となる溝をエッチングにより形成する工程と、前記第一及び第二の絶縁膜に前記半導体基板との接続孔を開く工程と、前記接続孔及び溝に配線材料を埋め込む工程とを備えたものである。

【0013】

【作用】本発明は、配線を埋め込みにより形成し更に配線溝の深さを制御するエッチング停止膜を用いているため、平坦性に優れ、配線抵抗のばらつきを小さくさせて、高歩留まり・高信頼性半導体装置を製造することができる。

【0014】

【実施例】本発明の各実施例を図面を参照しながら説明する。

【0015】（実施例1）図1は本発明の第一の実施例における半導体装置の製造工程断面図を示すものである。

【0016】図1(a)では、半導体基板1上に周知の技術によりソース・ドレイン12、ゲート電極14からなるトランジスタ及びフィールド酸化珪素膜13を形成する。

【0017】図1(b)では、半導体基板1上に絶縁膜としてBPSG膜2を700nm堆積する。800℃以上の高温熱処理を行い、前記BPSG膜を軟化させ表面を平坦化する（リフロー法）。またBPSG膜2を1500nm堆積後フォトリソを全面塗布し、BPSG膜とレジストのエッチング速度が1:1の条件でBPSG膜が700nm残るまでエッチバックしても平坦化可能である（エッチバック法）。なお前記絶縁膜としてBP

SG膜に限らず、酸化珪素膜であれば何ら差し支えない。

【0018】図1(c)では、前記平坦化方法を用いてBPSG膜2を平坦化した後、酸化珪素膜3を100nm堆積し、BPSG膜21を700nm堆積する。BPSG膜21の膜厚が所望とする配線膜厚に相当する。

【0019】図1(d)では、本実施例を用いて絶縁膜形成後、配線を埋め込むための配線溝と配線と半導体基板とを接続するコンタクトホールを形成する。前記配線溝及びコンタクトホールの形成法を説明する。フォトリソグラフィ技術を用いてコンタクトホールを形成するためのエッチングマスクをフォトレジストで形成し、BPSG膜21及び酸化珪素膜3をドライエッチングしコンタクトホール4を形成する。ここではBPSG膜2はエッチングしない。エッチング終了後、酸素プラズマ処理などを行いフォトレジストを除去する。

【0020】次に図1(e)では、配線の反転マスクを用いてフォトリソグラフィ技術で配線溝を形成するためのエッチングマスクを形成する。ここで酸化珪素膜3をエッチング停止膜として機能させるため、酸化珪素膜3のエッチングレートがBPSG膜21のエッチングレートの5分の1以下になる条件でBPSG膜21を酸化珪素膜3上までドライエッチングする。ドライエッチングをする際、BPSG膜21のエッチングレートからエッチング時間を算出する（時間エッチング）。更にエッチングレートばらつき、BPSG膜21の膜厚ばらつきを考慮し、オーバーエッチング時間を加味してドライエッチングを行えば、酸化珪素膜3がエッチングの停止膜となっているため深さのばらつきが非常に小さい配線溝5を形成することが出来る。なお、時間エッチングの代わりに、ドライエッチング中に酸化珪素膜3の発光をモニターし前記酸化珪素膜の発光を検出した時点でドライエッチングを停止させる終点検出方法を用いてもよい。配線溝5を形成する際、コンタクトホール4にはエッチングマスクは存在しないため、同時にBPSG膜2が700nmエッチングされコンタクトホール41が形成される。エッチング終了後、酸素プラズマ処理などを行いフォトレジストを除去する。

【0021】なお、図1(d)におけるコンタクトホール4の形成の際に、適切なオーバーエッチング量を設定すれば、BPSG膜2、21、酸化珪素膜3の膜厚ばらつき、エッチングレートばらつきを吸収することができ、電気的に安定したコンタクトホール41を形成できる。

【0022】本実施例を用いてコンタクトホール41及び配線溝5を形成した後、図1(f)では、CVD装置を用いて配線材料として例えばタングステン6を、コンタクトホール41及び配線溝5が完全に埋め込める厚さである1500nm堆積し、BPSG膜21の表面が露出するまでエッチバックし、絶縁膜として酸化珪素膜7を700nm堆積する。

【0023】なお、本実施例では金属の堆積にタングステンCVD装置を用いた例を述べたが、アルミニウム、銅を堆積できるCVD装置を用いても実施可能である。またCVD法を用いた金属埋め込み方法の代わりに、スパッタ法で(1)アルミニウムもしくはアルミニウム合金を堆積し、熱処理を行うことにより前記アルミニウムもしくは前記アルミニウム合金を流動させて埋め込む、(2)アルミニウムもしくはアルミニウム合金を堆積し、レーザーを照射して前記アルミニウムもしくは前記アルミニウム合金を流動させて埋め込む、(3)アルミニウムもしくはアルミニウム合金を400℃以上で堆積し埋め込む場合も同様に実施可能である。さらにチタン、窒化チタン、アルミニウム、タングステン等を積層して堆積した場合も同様に実施可能である。

【0024】また、本実施例では第一層目の配線及びコンタクトホール形成に関して説明してきたが、第二層目以降の配線及びスルーホール形成も同様に実施可能である。

【0025】本実施例ではコンタクトホール及び配線溝の形成方法として、BPSG膜2及び窒化珪素膜3にコンタクトホール4を形成し、窒化珪素膜3をエッチング停止膜としてコンタクトホール4及び配線溝5を形成するという方法を説明してきたが、窒化珪素膜3をエッチング停止膜としてBPSG膜2に配線溝5を形成し、窒化珪素膜3及びBPSG膜2をドライエッチングしてコンタクトホール4を形成するという方法もある。

【0026】(実施例2)第二の実施例を図2を用いて説明する。

【0027】図2(a)では、第一の実施例同様に半導体基板上にBPSG膜2、窒化珪素膜3、BPSG膜2を堆積、平坦化後、配線の反転マスクを用い、フォトリソグラフィ技術で配線溝を形成するためのエッチングマスクをフォトリソで形成する。ここで窒化珪素膜3をエッチング停止膜として機能させるため、窒化珪素膜3のエッチングレートがBPSG膜2のエッチングレートの5分の1以下になる条件でBPSG膜2を窒化珪素膜3上までドライエッチングする。ドライエッチングは第一の実施例同様時間エッチングまたは発光モニターを利用した終点検出方法のどちらを用いてもかまわない。エッチングレートのばらつき、BPSG膜2の膜厚ばらつきを考慮し、オーバーエッチング時間を加味してドライエッチングを行えば、窒化珪素膜3がエッチングの停止膜となっているため深さのばらつきが非常に小さい配線溝5を形成することができる。エッチング終了後、酸素プラズマ処理などを行いフォトリソを除去する。

【0028】次に図2(b)では、配線と半導体基板とを接続するコンタクトホールを形成する。フォトリソグラフィ技術を用いてコンタクトホールを形成するための

エッチングマスクをフォトリソで形成し、窒化珪素膜3及びBPSG膜2をドライエッチングし、コンタクトホール4を形成する。エッチング終了後、酸素プラズマ処理などを行いフォトリソを除去する。

【0029】以降図2(c)では、第一の実施例同様に配線溝5及びコンタクトホール4にタングステン6などの配線材料の埋め込みを行い、最後に窒化珪素膜7を堆積する。

【0030】本実施例を用いて製造された半導体装置は、第一の実施例を用いて製造された半導体装置と同様の効果が得られるのみならず、第二の実施例を用いた半導体装置の製造方法は配線溝とコンタクトホールをそれぞれ単独で形成するため、配線溝及びコンタクトホールの形成方法ならびに層間絶縁膜の堆積方法に自由度が増すという効果が得られる。

【0031】このように、本発明による半導体装置の製造方法によれば、多層配線工程において、配線を埋め込み方法で形成するため第一層目配線形成後の表面の平坦性が良く、第二層目以降の層間絶縁膜も平坦化が容易なため、配線の多層化、配線の微細化に関わらず高歩留り、高信頼性の半導体装置が製造できる。

【0032】また、従来コンタクトホール埋め込みと配線形成の2回金属堆積を行う必要があったが、本発明によれば1回の金属堆積だけでコンタクトホール及び配線が形成可能である。

【0033】さらに、層間絶縁膜を3層化し、第二の絶縁膜を配線溝形成時のエッチング停止膜としていることから、仕上がり後の配線膜厚のばらつきを小さくすることが可能である。

【0034】

【発明の効果】以上のように本発明は、多層配線工程において仕上がり後の配線膜厚のばらつきが小さく、平坦化が容易であるために、多層化による配線の信頼性向上を可能にするものであり、超微細な半導体装置の製造に大きく寄与するものである。

【図面の簡単な説明】

【図1】本発明の第一の実施例における半導体装置の製造工程断面図

【図2】本発明の第二の実施例における半導体装置の製造工程断面図

【図3】従来の方法による半導体装置の製造工程断面図

【図4】従来の方法による半導体装置の製造工程断面図

【符号の説明】

11 シリコン基板

13 フィールド酸化珪素膜

2, 21 BPSG膜

3 窒化珪素膜

4, 41 コンタクトホール

5 配線溝

6 タングステン

(5)

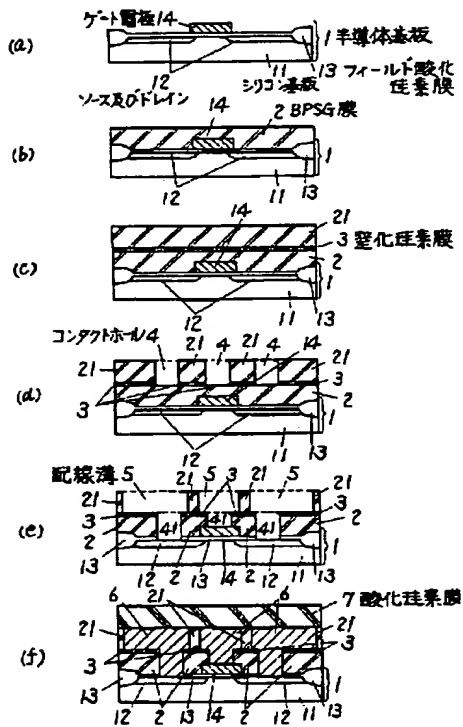
特開平6-244180

7

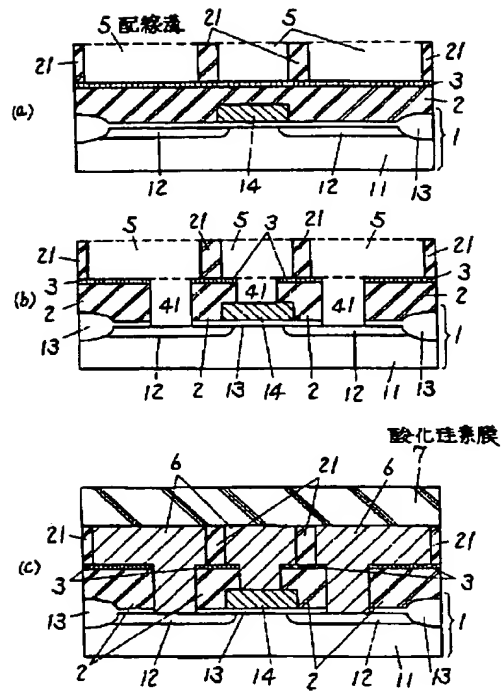
8

## 7 酸化珪素膜

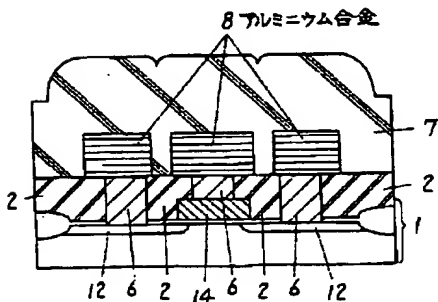
【図1】



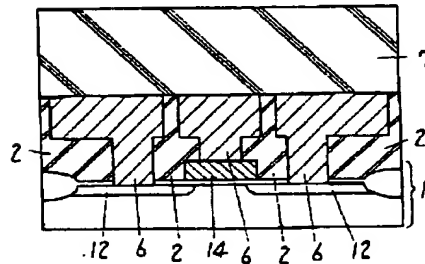
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 中林 隆  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内